

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-328505

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

G09G 3/22

G09G 1/00

H01J 31/12

(21)Application number : 07-151219

(71)Applicant : FUTABA CORP

(22)Date of filing : 26.05.1995

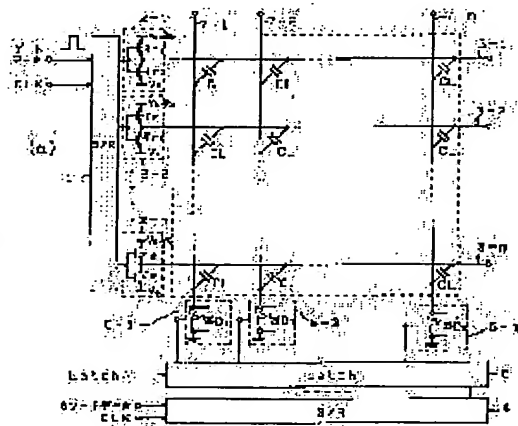
(72)Inventor : TANAKA MITSURU
YANO KAZUYUKI

(54) DRIVING DEVICE FOR PICTURE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent reactive power from being generated in gate drivers of the driving device of a picture display device.

CONSTITUTION: In the driving device of the picture display device having scanning electrodes arranged in a matrix shape, current switching circuits are used as cathode driving means (6-1 to 6-m) with which picture data are impressed. The current switching circuits are constituted of analog switching circuits or open-drain circuits. Moreover, protective diodes (D1) are provided in the cathode driving circuits (6-1 to 6-m).



LEGAL STATUS

[Date of request for examination] 16.05.1997

[Date of sending the examiner's decision of rejection] 30.11.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-328505

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/22		4237-5H	G 0 9 G 3/22	
	1/00			W
H 0 1 J 31/12			H 0 1 J 31/12	B

審査請求 未請求 請求項の数3 F D (全 9 頁)

(21) 出願番号 特願平7-151219

(22) 出願日 平成7年(1995)5月26日

(71) 出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝629

(72) 発明者 田中 満

千葉県茂原市大芝629 双葉電子工業株式
会社内

(72) 発明者 矢野 和行

千葉県茂原市大芝629 双葉電子工業株式
会社内

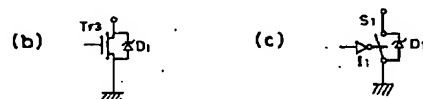
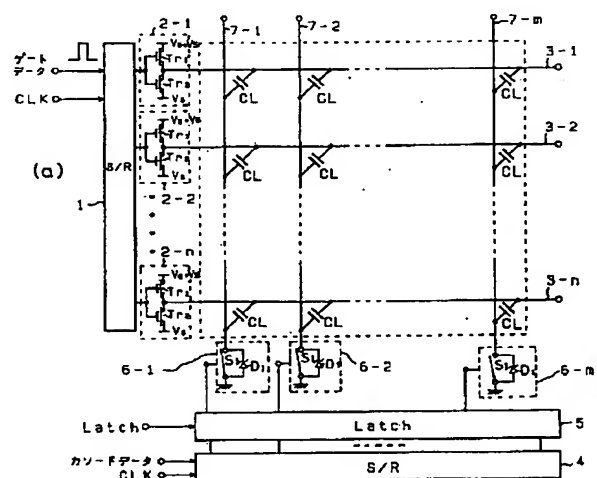
(74) 代理人 弁理士 脇 篤夫 (外1名)

(54) 【発明の名称】 画像表示装置の駆動装置

(57) 【要約】

【目的】 画像表示装置の駆動装置のゲートドライバーで発生する無効電力を防止すること。

【構成】 マトリクス状に配置された走査電極を有する画像表示装置の駆動装置において、画像データが印加されるカソード駆動手段(6-1~6-m)として電流スイッチ回路を用いる。電流スイッチ回路はアナログスイッチ、或はオープンドレイン回路で構成される。また、このカソード駆動手段(6-1~6-m)には保護ダイオード(D_i)が設けられている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数のストライプ状のゲート及び複数のストライプ状のカソードと、上記ゲートとカソードとの間に所定の電圧を印加することにより、電子を電界放出する上記マトリクスの交差部分のカソード上に形成されたエミッタと、

上記ゲート上に離隔配置されると共に、上記エミッタから放出された電子を捕集するアノードと、

該アノードに設けられた蛍光体と、

上記ゲートをゲートデータにより順次駆動するゲート駆動手段と、

上記カソードをカソードデータによりそれぞれ駆動するカソード駆動手段とを備えている画像表示装置の駆動装置において、

上記カソード駆動手段の出力回路は電流スイッチとして動作する回路で構成したことを特徴とする画像表示装置の駆動装置。

【請求項2】 上記電流スイッチとして動作する回路はアナログスイッチ、またはオープンドレインで構成したことを特徴とする請求項1に記載の画像表示装置の駆動装置。

【請求項3】 上記カソード駆動手段は保護ダイオードが設けられていることを特徴とする請求項1に記載の画像表示装置の駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はマトリクス状に配置された走査電極を有する画像表示装置の駆動装置に関わり、特に電界放出型カソードを用いた画像表示装置に適用して好適なものである。

【0002】

【従来の技術】 金属または半導体表面の印加電界を 10^9 [V/m] 程度にするとトンネル効果により、電子が障壁を通過して常温でも真空中に電子放出が行われる。これを電界放出 (Field Emission) と云い、このような原理で電子を放出するカソードを電界放出カソード (Field Emission Cathode) と呼んでいる。近年、半導体加工技術を駆使して、ミクロンサイズの電界放出カソードからなるアレイを用いて、面放出型の電界放出カソードを作成することが可能となり、このような電界放出カソードを用いた画像表示装置の研究開発が行われている。

【0003】 図5に、半導体加工技術により作成された電界放出カソードの一例であるスピント (Spindt) 型と呼ばれる電界放出カソード (以下、「FEC」と記す) を示す。この図において、ガラス等の基板の上にアルミニウム等の金属からなるカソード電極が蒸着により形成されており、このカソード電極上にモリブデン等の金属からなるコーン状のエミッタが形成されている。カソード電極上のエミッタが形成されていない部分には酸化シリコン (SiO_2) 膜が形成され、さらにその上にはゲ

ートが形成されており、ゲート及び二酸化シリコン膜に設けられた丸い開口部の中に上記コーン状のエミッタが位置している。すなわち、このコーン状のエミッタの先端部分がゲートに設けられた開口部から臨む構成とされている。

【0004】 このコーン状のエミッタのエミッタ間のピッチは10ミクロン以下とすることができ、数万から数10万個のエミッタを1枚の基板上に設けることができる。さらに、ゲートとエミッタのコーンの先端との距離をサブミクロンとすることができ、ゲートとエミッタ電極間とに僅か数10ボルトのゲート・エミッタ間電圧 V_{ge} を印加することにより、電子をエミッタから電界放出することができる。この電界放出された電子はゲート上に離隔して正の電圧 V_a が印加されたアノードを対向して設けておくと、このアノードにより捕集することができる。

【0005】 このようなFECのアノード電流 I_a 、ゲート・カソード間電圧 V_{ge} 特性を図6に示す。この図に示すように、ゲート・カソード間電圧 V_{ge} が徐々に上昇していくと、アノード電流 I_a が流れ始めるようになる。この電流 I_a が流れ始める電圧 V_{ge} を閾値電圧 V_m と云い、この時にゲート・カソード間の電界が約 10^9

[V/m] 程度となるためエミッタから電子が放出され始める。これにより、アノード電流 I_a がアノードに流れ始めるのである。一般に、ゲート・カソード間には閾値電圧 V_m よりかなり高い図示する V_{ge} 程度の電圧が印加されており、この時アノードにはアノード電流 I_{ao} が流れるようにされている。

【0006】 そして、コーン状のエミッタの1つから得られるアノード電流は約1マイクロアンペアと小さい電流であるため、多数のエミッタをアレイ化することにより所望のアノード電流の得られるFECとしている。この場合、アノードに蛍光体を設けておくとエミッタから電界放出された電子が捕集されるアノードの蛍光体の部分を発光させることが出来る。このような原理を利用することにより、FECを用いた画像表示装置 (以下、「FED」という) とすることができる。

【0007】 上記したような原理を用いたFEDの駆動装置のブロック図の一例を図7に示し、この駆動装置の動作波形を図2、及び図8に示す。図7において、シフトレジスタ20はゲートデータと、シフト用のクロック (CLK) が入力されており、このシフトレジスタ20からゲートデータがそれぞれのゲートドライバー21-1～21-nに順次印加されるようになっている。

【0008】 このゲートドライバー21-1～21-nに印加されるゲートデータは、図2にGT1～GTnとして示すような順序パルスとされ、それぞれのパルス幅をTとすると、発生周期はnTで表され、例えば60～120Hzとされている。

【0009】 また、ゲートドライバー21-1～21-

nは、例えばドライバーIC等で構成されると共に、ゲート電極22-1~22-nを高速で駆動するため、トランジスタ T_{r1} 、 T_{r2} がプッシュプル回路を構成するように接続されている。そして、トランジスタ T_{r1} のソース端子には駆動電源 $V_c + V_s$ が接続され、トランジスタ T_{r2} のソース端子には低いスイング電圧でゲート電極22-1~22-nを駆動できるようにバイアス電源 V_s が接続されている。

【0010】ゲート電極22-1~22-nはそれぞれストライプ状に形成されており、ゲートドライバー21-1はゲート電極22-1をドライブし、ゲートドライバー21-2はゲート電極22-2をドライブし、このように順次ゲート電極がドライブされていき最終のゲートドライバー21-nにより最終のゲート電極22-nがドライブされるようになされている。

【0011】つまり、例えばゲートドライバー21-1にゲートデータが印加されて、このドライバーが走査された場合、このゲートドライバー21-1のトランジスタ T_{r1} がオンになり、ゲート電極22-1は図8に示すような電圧 $V_g + V_s$ （以下、 V_{gc} と示す）が印加されて

ドライブされることになる。

【0012】そして、ゲートデータが次のゲートドライバー21-2に移行し、ゲートドライバー21-1が非走査となると、ゲートドライバー21-1のトランジスタ T_{r1} はオフになると共に、トランジスタ T_{r2} がオンになり、ゲート電極22-1はバイアス電圧 V_s となる。なお、このバイアス電圧 V_s は、上記したゲート・カソード間の閾値電圧 V_m より低い電圧とされている。

【0013】一方、シフトレジスタ23には直列のカソードデータが入力され、ここで並列データに変換されてラッチ回路24でラッチされる。このため、シフトレジスタ23にはシフト用のクロック（CLK）が入力されている。上記ラッチ回路24でラッチされたカソードデータはそれぞれカソードドライバー25-1~25-mに印加される。このカソードドライバー25-1~25-mにそれぞれ印加されるカソードデータは、図2のC1~Cmとして示すような例えば15KHz~30KHzの周波数の画像データとされている。

【0014】また、カソードドライバー25-1~25-mは、例えばドライバーIC等で構成されていると共に、カソード電極26-1~26-mを高速で駆動するため、トランジスタ T_{r1} 、 T_{r2} がプッシュプル回路を構成するように接続されている。また、トランジスタ T_{r1} のソース端子は駆動電源 V_c が接続され、トランジスタ T_{r2} のソース端子は接地（GND）されている。

【0015】カソード電極26-1~26-mはそれぞれストライプ状に形成されており、カソードドライバー25-1はカソード電極26-1をドライブし、カソードドライバー25-2はカソード電極26-2をドライブし、最終のゲートドライバー25-mにより最終のカ

ソード電極26-mがドライブされるようになされている。

【0016】つまり、例えばラッチ回路24からカソードドライバー25-1にカソードデータが印加されると、カソードドライバー25-1のトランジスタ T_{r1} がオンになり、図8に示すようにカソード電極26-1は接地（GND）されるようにドライブされる。一方、カソードドライバー25-1にカソードデータが印加されないと、カソードドライバー25-1のトランジスタ T_{r1} がオンになり、カソード電極26-1は電圧 V_c が印加されることになる。

【0017】上記ゲート電極22-1~22-nとカソード電極26-1~26-mはマトリクス状に配置されており、この両電極の交差部は図示されていないが、それぞれエミッタアレイが各カソード電極26-1~26-m上に作製されており、このエミッタアレイが画像表示装置の画素をそれぞれ形成している。また、この両電極の交差部は等価回路的には図7に示すような容量性負荷CLと表すことができる。

【0018】従って、ゲートドライバー21-1~21-nが順次走査され順次ゲート電極22-1~22-nがドライブされると、このゲート電極22-1~22-nとの交差部に対応するカソードデータC1~Cmが順次ラッチ回路24からカソードドライバー25-1~25-mに供給され、カソードドライバー25-1~25-mがこのカソードデータに応じてドライブされることになり、この結果対応する容量性負荷CLの両端に電圧 V_{gc} が印加されることになる。

【0019】よって、画素が表示される場合、容量性負荷CLが充電されると共に、エミッタアレイから電子が放出され、この電子はゲート電極22-1~22-n上に離隔して配置された図示しないアノードに捕集されることになる。このアノードには蛍光体が塗布されており、画素であるエミッタアレイから放出された電子によりその部分に対応する蛍光体がそれぞれ発光し、その結果画像が蛍光体に表示されることになる。

【0020】

【発明が解決しようとする課題】ところで、このような画像表示装置は、例えばゲートデータがゲート電極22-1からゲート電極22-2に移行し、ゲートドライバー21-1が非走査となると、ゲート電極22-1とカソード電極26-1~26-m間の容量性負荷CLに充電されている電圧 V_{gc} が放電されることになり、これに伴いゲート駆動電源 V_c 、及びカソード駆動電源 V_c から放電電流が消費されるようになる。

【0021】よって、このようなFEDを駆動させた場合、以下の（1）式に示すような関係で無効電力Pwが発生することになる。

$$Pw = CL \cdot V^2 \cdot f \quad \dots (1)$$

（但し CL：負荷容量、V：印加電圧、f：駆動周波

10

20

30

40

50

数である)

一般に、ゲートドライバーの駆動周波数 f_g は $60 \sim 120 \text{ Hz}$ 、ゲートドライバーの駆動電源 V_{α} は 90 V 、カソードドライバーの駆動周波数 f_c は $15 \sim 30 \text{ KHz}$ 、カソードドライバーの駆動電源 V_c は 40 V 程度とされている。

【0022】従って、駆動周波数があるかに大きいカソードドライバーでの無効電力はゲートドライバーと比較してはるかに大きく、カソードドライバーで発生する無効電力は例えば数十ワット程度になる。特に、FEDをパルス変調方式による階調駆動とするとカソードドライバーの駆動電源の構造が大きくなるという欠点がある。

【0023】そこで、カソードドライバーでの無効電力を低減し、低消費電力化を実現するために、カソードドライバーの駆動電源 V_c を低電圧にすることが考えられる。しかしながら、カソードドライバーを低電圧とすると、以下に説明するように画像表示装置のコントラストが低下して表示品位が劣化するという問題点があった。

【0024】通常、単純X-Yマトリクスで駆動される画像表示装置の画素の状態は、例えば図9の(a)、(b)、(c)、(d)で示すようなゲートデータ(行データ)、及びカソードデータ(列データ)がオン、又はオフとなる4状態で表すことができる。この場合、各画素に印加される電圧は、図10(a)に示すようにゲート電極に印加されるゲート電圧とカソード電極に印加されるカソード電圧の電位差として表すことができる。

【0025】すなわち、図9の(a)で示すゲートデータ、及びカソードデータが共にオンとなる場合、ゲート電極に印加されるゲート電圧は $V_g + V_s$ 、カソード電極に印加されるカソード電圧は GND となるため、この時のゲート・カソード間電圧 V_{α} を V_1 とすると、図10(a)から解るようにゲート・カソード間電圧 V_{α} は $V_1 = V_g + V_s$ となり、同図(b)に示すようなアノード電流 I_{α} が流れ蛍光体が発光することになる。

【0026】また、図9の(b)で示すゲートデータがオン、カソードデータがオフとなる場合、ゲート電極に印加されるゲート電圧は $V_g + V_s$ 、カソード電極に印加されるカソード電圧は V_c となるため、この時のゲート・カソード間電圧 V_{α} を V_2 とすると、図10(a)から解るようにゲート・カソード間電圧 V_{α} は $V_2 = V_g + V_s - V_c$ となる。同様に、図9の(c)で示すゲートデータがオフ、カソードデータがオンの時のゲート・カソード間電圧 V_{α} は $V_3 = V_s$ 、図9の(d)で示すゲートデータ、カソードデータが共にオフの時のゲート・カソード間電圧 V_{α} は $V_4 = V_s - V_c$ となる。

【0027】従って、上記した図9に示す(c)、(d)の画素状態ではカソード電圧 V_c を低電圧としてもゲート・カソード間電圧 V_3 、 V_4 は閾値電圧 V_m 以下になるため影響ないものの、(b)の画素状態ではカ

ソードの駆動電圧 V_c を低電圧とすると、図10(b)に示すようにゲート・カソード間の電圧 V_2 が閾値電圧 V_m より高くなって電流 I_{α} が流れることになり、これにより蛍光体が発光するため、画像表示装置のコントラストを低下させていた。なお、バイアス電圧 V_s は閾値電圧 V_m より低い電圧とされているため、図9の

(c)で示す画素は発光しないようにされているが、閾値電圧 V_m のバラツキによって漏れ発光を起こすこともある。

【0028】また、ゲート、及びカソードドライバーにはゲート駆動電源 V_g 、ゲートバイアス電源 V_s 、カソード駆動電源 V_c の3つの電源が必要になり、構造が複雑になると共にプッシュプル回路を構成しているため、トランジスタの数が多いたドライバーICが必要になり、チップ面積が広くチップコストが高くなる等の問題点もあった。

【0029】

【課題を解決するための手段】本発明はこのような問題点を解決するためになされたもので、マトリクス状に配置された複数のストライプ状のゲート及び複数のストライプ状のカソードと、上記ゲートとカソードとの間に所定の電圧を印加することにより、電子を電界放出する上記マトリクスの交差部分のカソード上に形成されたエミッタと、上記ゲート上に隔離配置されると共に、上記エミッタから放出された電子を捕集するアノードと、該アノードに設けられた蛍光体と、上記ゲートをゲートデータにより順次駆動するゲート駆動手段と、上記カソードをカソードデータによりそれぞれ駆動するカソード駆動手段とを備えている画像表示装置の駆動装置において、上記カソード駆動手段の出力回路を電流スイッチとして動作する回路(例えば、アナログスイッチ、オープンドレイン回路)で構成することとした。

【0030】

【作用】本発明によれば、カソードデータがオフの時は、カソード駆動手段の出力段がオープンになり、ゲート・カソード電極間から放電電流が流れなくなるため、カソード駆動手段で発生していた無効電力を防止することができる。また、カソード駆動手段は保護用ダイオードが設けられているため、ゲートからの漏洩電圧はこのダイオードを介して放電されることになりカソード駆動手段が破壊されることを防止できる。

【0031】

【実施例】以下、本発明の実施例について説明する。図1(a)に本発明の実施例である画像表示装置の駆動装置のブロック図の一例を示し、この駆動装置の動作波形を図2、及び図3に示す。図1(a)において、シフトレジスタ1にはゲートデータと、シフト用のクロック(CLK)が入力されており、このシフトレジスタ1からゲートデータがそれぞれのゲートドライバー2-1 ~ 2-nに順次印加されるようになされている。このゲ

ートドライバー 2-1~2-n に印加されるゲートデータは、図 2 に GT1~GTn として示すような順序パルスとされ、それぞれのパルス幅を T とすると、発生周期は nT で表され、例えば 60~120Hz とされている。

【0032】また、ゲートドライバー 2-1~2-n は、例えばドライバー IC 等で構成されると共に、ゲート電極 3-1~3-n を高速で駆動するため、トランジスタ Tr₁、Tr₂ がプッシュプル回路を構成するように接続されている。そして、トランジスタ Tr₁ のソース端子には駆動電源 V_g+V_s が接続され、トランジスタ Tr₂ のソース端子には低いスイング電圧でゲート電極 3-1~3-n を駆動できるようにバイアス電源 V_s が接続されている。なお、トランジスタ Tr₂ のソース端子はバイアス電源 V_s を接続することなく接地 (GND) させても良い。

【0033】ゲート電極 3-1~3-n はそれぞれストライプ状に形成されており、ゲートドライバー 2-1 はゲート電極 3-1 をドライブし、ゲートドライバー 2-2 はゲート電極 3-2 をドライブし、このように順次ゲート電極がドライブされていき最終のゲートドライバー 2-n により最終のゲート電極 3-n がドライブされるようになされている。

【0034】つまり、例えばゲートドライバー 2-1 にゲートデータが印加されて走査された場合、ゲートドライバー 2-1 のトランジスタ Tr₁ がオンになり、ゲート電極 3-1 は図 3 に示すような電圧 V_g+V_s (以下、V_{gc} と示す) が印加されてドライブされることになる。

【0035】そして、ゲートデータが次のゲートドライバー 2-2 に移行し、ゲートドライバー 2-1 が非走査となると、ゲートドライバー 2-1 のトランジスタ Tr₁ がオフになると共に、トランジスタ Tr₂ がオンになり、ゲート電極 3-1 はバイアス電圧 V_s となる。なお、バイアス電圧 V_s は、ゲート・カソード間の閾値電圧 V_m より低い電圧とされている。

【0036】一方、シフトレジスタ 4 は直列のカソードデータが入力され、ここで並列データに変換されてラッチ回路 5 でラッチされる。このため、シフトレジスタ 4 にはシフト用のクロック (CLK) が入力されている。上記ラッチ回路 5 でラッチされたカソードデータはそれぞれカソードドライバー 6-1~6-m に印加される。このカソードドライバー 6-1~6-m にそれぞれ印加されるカソードデータは、図 2 の C1~Cm として示すような例えば 15KHz~30KHz の周波数の画像データとされている。

【0037】カソードドライバー 6-1~6-m は電流スイッチ S_i と、ツェナーダイオード D_i で構成されており、電流スイッチ S_i の一端にはカソード電極 7-1~7-m と、ツェナーダイオード D_i のカソード端子とが接続されている。また、電流スイッチ S_i の他端はツ

ェナーダイオード D_i のアノード端子と接続されて接地 (GND) されている。

【0038】また、カソードドライバー 6-1~6-m は同図 (b) に示すように構成しても良く、この場合トランジスタ Tr₁ のドレイン端子にはそれぞれカソード電極 7-1~7-m と、ツェナーダイオード D_i のカソード端子とが接続され、一方トランジスタ Tr₂ のソース端子はツェナーダイオード D_i のアノード端子と接続されて接地 (GND) されている。また、同図 (c) に示すように電流スイッチ S_i、ツェナーダイオード D_i 及びインバータ I_i で構成しても良い。

【0039】さらに、このようなカソードドライバー 6-1~6-m は例えばドライバー IC 等で構成することができる。

【0040】図 1 (a) に示すカソード電極 7-1~7-m はそれぞれストライプ状に形成されており、カソードドライバー 6-1 はカソード電極 7-1 をドライブし、カソードドライバー 6-2 はカソード電極 7-2 をドライブし、最終のゲートドライバー 6-m により最終のカソード電極 7-m がドライブされる。

【0041】つまり、例えばラッチ回路 5 からカソードドライバー 6-1 にカソードデータが印加されると、電流スイッチ S_i がオンとなるように制御され、図 3 に示すようにカソード電極 7-1 は接地 (GND) されるようにドライブされる。一方、カソードドライバー 6-1 にカソードデータが印加されないと、カソードドライバー 6-1 の電流スイッチ S_i がオフとなるように制御され、カソード電極 7-1 は開放 (OPEN) 状態となるようにされている。

【0042】上記ゲート電極 3-1~3-n とカソード電極 7-1~7-m はマトリクス状に配置されており、この両電極の交差部は図示されていないが、それぞれエミッタアレイが各カソード電極 7-1~7-m 上に作製されており、このエミッタアレイが画像表示装置の画素をそれぞれ形成している。また、この両電極の交差部は等価回路的には図 1 に示すような容量性負荷 CL と表すことができる。

【0043】従って、ゲートドライバー 2-1~2-n が順次走査され、ゲート電極 3-1~3-n が順次ドライブされると、このゲート電極 3-1~3-n との交差部に対応するカソードデータ C1~Cm が順次ラッチ回路 5 からカソードドライバー 6-1~6-m に供給され、カソードドライバー 6-1~6-m がカソードデータに応じてドライブされることになり、この結果交差部の容量性負荷 CL の両端に電圧 V_{gc} が印加されることになる。

【0044】よって、ドライブされたカソード電極 7-1~7-m と、走査ゲート電極との交差部に対応した容量性負荷 CL は充電されると共に、エミッタアレイから電子が放出され、この電子はゲート電極 3-1~3-n

上に離隔して配置された図示しないアノードに捕集されることになる。このアノードには蛍光体が塗布されており、エミッタレイから放出された電子によりその部分に対応する蛍光体がそれぞれ発光し、その結果画像が蛍光体に表示されることになる。

【0045】一方、ドライブが行われないカソード電極 7-1~7-m は開放（オープン）状態となり、カソード電極 7-1~7-m には所定の電圧が印加されないのでエミッタレイから電子の放出が行われず、蛍光体は発光しないことになる。

【0046】さらにこの場合、例えばゲートデータがゲートドライバー 2-1 からゲートドライバー 2-2 に移行し、ゲートドライバー 2-1 が非走査となっても、画素データ C1~Cm がオフの場合はカソード電極 7-1~7-m は開放（OPEN）状態とされるため、走査ゲート電極との交差部に対応した容量性負荷 CL の放電或は充電経路が形成されずゲート電極 3-1 とカソード電極 7-1~7-m 間の容量性負荷 CL に充電されていた電圧 Vgc は放電されないことになる。従って、画像表示装置のカソード駆動電源 Vs で消費されていた無効電力を無くすることができるようになる。

【0047】さらに、カソードドライバー 6-1~6-m にはゲートドライバー 2-1~2-n からの漏洩する高電圧によって破壊されることを防止するため、カソード電極と GND 間に保護用のツェナーダイオード Di が設けられているので、ゲートドライバーから漏洩する高電圧はこのツェナーダイオード Di を介して放電されることになり、ドライバー IC は高電圧プロセスが必要ない安価なドライバー IC とすることができるようになる。

【0048】図 4 はオープンドレイン回路でカソードドライバーを構成した場合の変形例を示したものであり、このカソードドライバー 16 はトランジスタ Tr₃、及びダイオード D₂ で構成され、トランジスタ Tr₃ のドレイン端子にはダイオード D₂ のアノード端子及びそれぞれのカソード電極 6-1~6-m が接続されると共に、ダイオード D₂ のカソード端子にはクランプ電圧が印加されている。従って、このカソードドライバー 16 を本発明の画像表示装置の駆動装置に適用した場合も、ゲートドライバー 2-1~2-n から漏洩する高電圧がクランプ電圧を介して放電されることになり、高電圧プロセスを必要としない安価なドライバー IC とすることができる。

【0049】

【発明の効果】以上、説明したように本発明の画像表示装置の駆動装置は、カソード駆動手段を電流スイッチ回路としているため、画像表示装置のコントラストを低下

させることなく駆動時に発生する無効電力を減少させることができるようになる。また、回路構成が簡略化されトランジスタの数を減らすこと可能になるため、チップ面積を小さくできるようになると共に、保護用のダイオードをドライバー IC 上に作製することで高耐压プロセスを必要としない安価なドライバー IC を実現することができる。さらに、カソード駆動電源が不要になるため、画像表示装置のモジュールとしては回路の簡略化による低コスト化が実現できるという利点もある。

10 【図面の簡単な説明】

【図 1】本発明の実施例である画像表示装置を駆動する駆動装置のブロック図の一例を示した図である。

【図 2】ゲートデータ、及びカソードデータの動作波形を示した図である。

【図 3】本実施例のゲートドライバー及びカソードドライバーの動作波形を示した図である。

【図 4】本実施例のカソードドライバーの変形例を示した図である。

【図 5】スピント型の電界放出カソードを示す図である。

【図 6】電界放出カソードのアノード電流-ゲート・カソード間電圧特性を示す図である。

【図 7】従来の画像表示装置の駆動装置のブロック図を示した図である。

【図 8】従来のゲート及びカソードドライバーの動作波形を示した図である。

【図 9】画像表示装置の画素の動作状態を模式的に示した図である。

【図 10】各画素の選択状態をカソードのアノード電流-ゲート・カソード間の電圧特性上に示した図である。

30 【符号の説明】

1, 4, 20, 23 シフトレジスター

2-1~2-n, 21-1~21-n ゲートドライバー

3-1~3-n, 22-1~22-n ゲート電極

5, 24 ラッチ回路

6-1~6-m, 16, 25-1~25-m カソードドライバー

7-1~7-m, 26-1~26-m カソード電極

40 CL 容量性負荷

Tr₁, Tr₂, Tr₃ トランジスタ

D₁, D₂ 保護ダイオード

I₁ インバータ

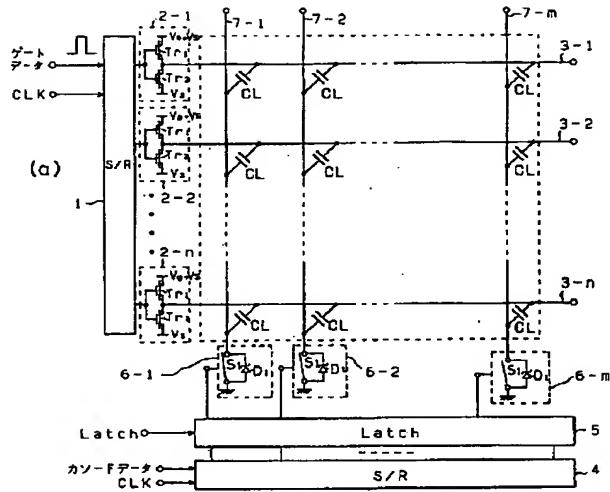
S₁ 電流スイッチ

V_g ゲート駆動電源

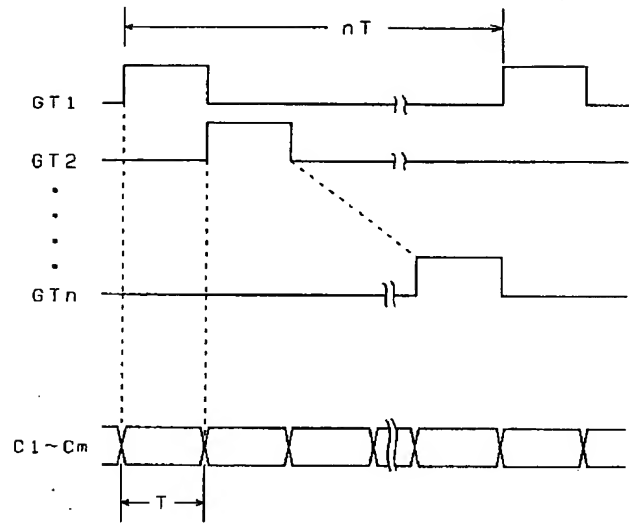
V_s ゲートバイアス電源

V_c カソード駆動電源

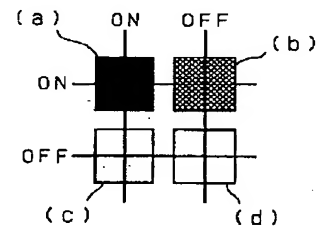
【図1】



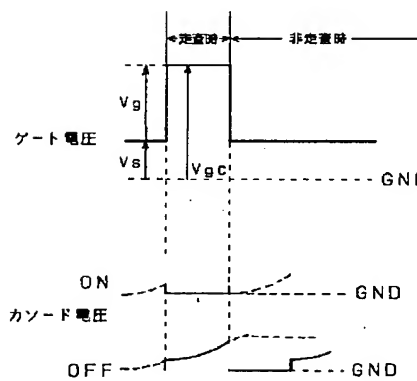
【図2】



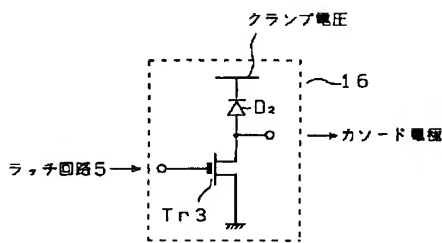
【図9】



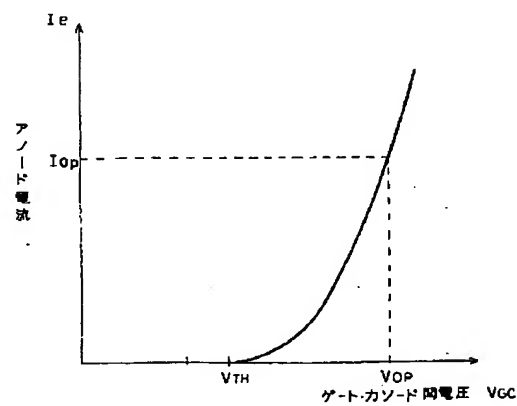
【図3】



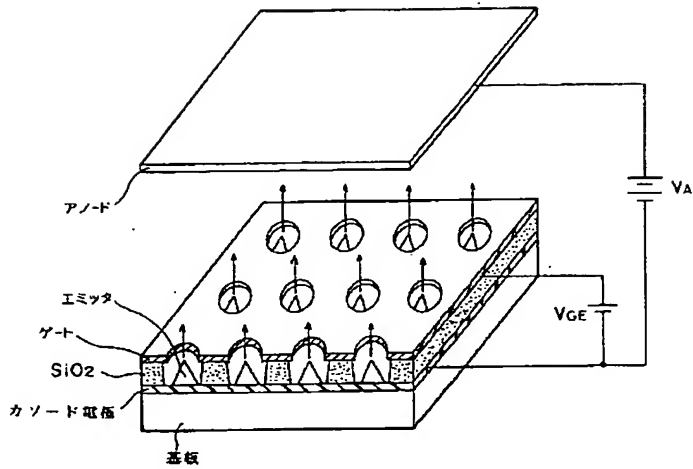
【図4】



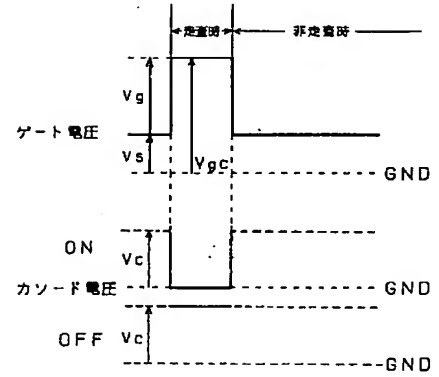
【図6】



【図5】



【図8】



【図7】

